

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-50262

(43)公開日 平成9年(1997)2月18日

(51)IntCl.	識別記号	序内整理番号	FI	技術表示箇所
G 09 G	3/36		G 09 G 3/36	
G 06 F	3/147		G 06 F 3/147	F
G 09 G	3/20	4237-5H	G 09 G 3/20	K
	5/00	5 2 0	5/00	5 2 0 A
H 04 N	1/405	9377-5H	H 04 N 1/40	C
審査請求 未請求 請求項の数 5 OL (全 15 頁)				

(21)出願番号 特願平7-202192

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(22)出願日 平成7年(1995)8月8日

(72)発明者 大和田 昭彦

東京都府中市東芝町1番地 株式会社東芝
府中工場内

(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】ディザ法を適用した多階調制御装置及び方法

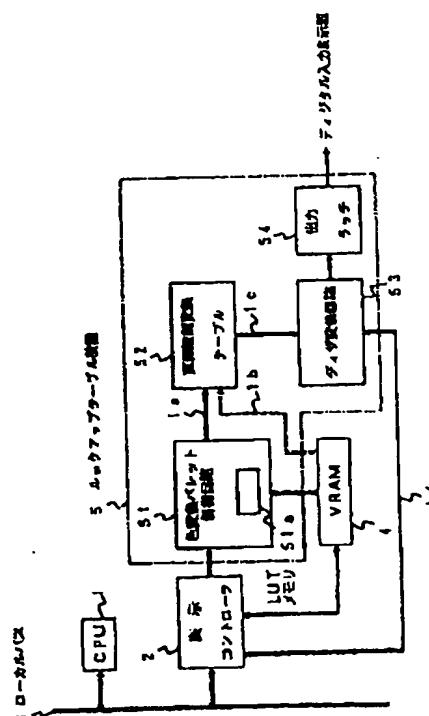
(57)【要約】

【課題】実際のイメージの階調とディザ法による疑似階調との差を少なくできるようにする。

【解決手段】表示コントローラ2の制御によりVRAM4から読み出されるインデックス情報に応じて、色変換パレット制御回路51内のLUTメモリ51aから読み出されるR, G, B毎の8ビット階調データ1aを、次式

```
outputN=floor (inputN×241/
256+0.5)
```

で定義される入出力関係を持つ直線階調変換テーブル52にinputNとして入力することで、outputNで表される8ビット階調データ1cに変換し、当該8ビット階調データ1cと表示コントローラ2からの対応するX, Y座標値1dをもとにディザ変換回路53にてディザ階調制御を行い、R, G, Bそれぞれについてディジタル入力表示器への4ビットディザ階調データを出力する。



(2)

特開平9-50262

1

【特許請求の範囲】

【請求項1】 組織ディザ法による多階調制御が施されたMビットのディザ階調データを用いてデジタル入力表示器への表示制御を行うディザ法を適用した多階調制御装置において、

次式

$$\text{outputN} = \text{floor}(\text{inputN} \times A / B + 0.5)$$

但し $\text{floor}(x)$: 実数 x を越えない最大の整数を出力する関数

 inputN : 入力Nビットデータ (整数型) outputN : 出力Nビットデータ (整数型)

A : ディザ法で表現可能な階調数

B : 論理的に表現可能な階調数 (2^N)

で定義される入出力関係を持ち、組織ディザ法を適用した多階調制御の対象となるNビット階調データを入力Nビットデータとして、前記入出力関係に従う出力Nビットデータを出力するための直線階調変換手段と、

この直線階調変換手段により出力されるNビットデータに対して組織ディザ法による多階調制御を施してデジタル入力表示器への表示に用いられるMビット ($M < N$) ディザ階調データを出力するディザ変換手段とを具備することを特徴とするディザ法を適用した多階調制御装置。

【請求項2】 組織ディザ法による多階調制御が施されたMビットのディザ階調データを用いてデジタル入力表示器への表示制御を行うディザ法を適用した多階調制御装置において、

前記組織ディザ法を適用した多階調制御の対象となるNビット階調データを入力Nビットデータとして入力し、次式

$$\text{outputN} = \text{floor}(\text{inputN} \times A / B + 0.5)$$

但し $\text{floor}(x)$: 実数 x を越えない最大の整数を出力する関数

 inputN : 入力Nビットデータ (整数型) outputN : 出力Nビットデータ (整数型)

A : ディザ法で表現可能な階調数

B : 論理的に表現可能な階調数 (2^N)

で定義される出力Nビットデータに対して、組織ディザ法による多階調制御が施されたMビット ($M < N$) ディザ階調データを変換出力する直線ディザ階調変換手段を具備することを特徴とするディザ法を適用した多階調制御装置。

【請求項3】 組織ディザ法を適用した多階調制御の対象となるNビット階調データを入力Nビットデータとして、次式

$$\text{outputN} = \text{floor}(\text{inputN} \times A / B + 0.5)$$

但し $\text{floor}(x)$: 実数 x を越えない最大の整数を

2

出力する関数

 inputN : 入力Nビットデータ (整数型) outputN : 出力Nビットデータ (整数型)

A : ディザ法で表現可能な階調数

B : 論理的に表現可能な階調数 (2^N)

で定義される入出力関係に従う、出力Nビットデータを生成し、

この生成したNビットデータに対して組織ディザ法による多階調制御を施してデジタル入力表示器への表示に用いられるMビット ($M < N$) ディザ階調データを出力するようにしたことを特徴とするディザ法を適用した多階調制御方法。

【請求項4】 1画面分の表示イメージが格納されるフレームメモリを備え、このフレームメモリから表示イメージを読み出してデジタル入力表示器に出力することで画面表示を行う情報処理機器の表示制御部におけるディザ法を適用した多階調制御方法であって、

表示すべき画素のNビット階調データ1の値により、次式

$$O = \text{floor}(1 \times A / B + 0.5)$$

但し $\text{floor}(x)$: 実数 x を越えない最大の整数を出力する関数

I : 入力Nビットデータ (整数型)

O : 出力Nビットデータ (整数型)

A : ディザ法で表現可能な階調数

B : 論理的に表現可能な階調数 (2^N)

で示されるNビット階調データOを生成し、

この生成したNビット階調データOに対して組織ディザ法による多階調制御を施してMビット ($M < N$) ディザ階調データを生成し、当該Mビットディザ階調データを前記フレームメモリの対応する画素位置に格納するようにしたことを特徴とするディザ法を適用した多階調制御方法。

【請求項5】 インデックス情報により構成される1画面分の表示イメージが格納されるフレームメモリと、このフレームメモリから読み出されるインデックス情報の指定に応じて、対応位置に登録されている階調データが読み出されるルックアップテーブルメモリと、このルックアップテーブルメモリから読み出される階調データに対して組織ディザ法による多階調制御を施してディザ階調データを生成するディザ変換回路とを備えた情報処理機器の表示制御部におけるディザ法を適用した多階調制御方法であって、

前記ルックアップテーブルへのNビットの階調データ設定に際して、設定の対象となるNビットの階調データを入力Nビットデータとして、次式

$$\text{outputN} = \text{floor}(\text{inputN} \times A / B + 0.5)$$

但し $\text{floor}(x)$: 実数 x を越えない最大の整数を

50 出力する関数

(3)

特開平9-50262

3

input N: 入力 N ビットデータ (整数型)
output N: 出力 N ビットデータ (整数型)

A: ディザ法で表現可能な階調数

B: 論理的に表現可能な階調数 (2^N)

に従う入出力関係を持つ出力 N ビットデータを生成し、この生成した出力 N ビットデータを前記入力 N ビットデータの代わりに前記ルックアップテーブルメモリに設定するようにしたことを特徴とするディザ法を適用した多階調制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、階調表現ビット数の少ないLCDディスプレイ等のディジタル入力表示器への多階調表示に好適な、ディザ法を適用した多階調制御装置及び方法に関する。

【0002】

【従来の技術】従来より、階調表現ビット数の少ないLCDディスプレイ等のディジタル入力表示器上で、それ以上の階調表現を実現する手段として、組織型ディザ法を用いた階調制御 (ディザ階調制御) が知られている。

【0003】このようなディザ階調制御を適用した情報処理機器の表示制御部 (多階調表示制御部) のブロック構成を図11に示す。図11において、フレームメモリとしてのVRAM (ビデオRAM) 4には、例えばCPU1からローカルバス3を介して送られる1画面分のカラー表示データが表示コントローラ2の制御により格納される。VRAM4に格納される各画素 (ピクセル) 每の表示データは8ビットで構成されるのが最も一般的である (フルカラー表示でない場合)。

【0004】VRAM4に格納されている1画面分の表示データは、表示コントローラ2の制御により、LCDディスプレイ等のディジタル入力表示器 (図示せず) に対する画面表示に応じて所定画素単位で順次読み出され、ルックアップテーブル装置50に設けられた色変換パレット制御回路51に入力される。

【0005】色変換パレット制御回路51は、書き換え可能なルックアップテーブルメモリ (LUTメモリ) 51aを有している。このLUTメモリ51aには、フルカラー ($2^{24}=16,777,216$ 色) 中の256色のパレットデータ (R, G, B各8ビットからなる計24ビット構成のパレットデータ) が、CPU1により表示コントローラ2を介して設定登録されている。

【0006】VRAM4から所定画素単位で読み出されて、ルックアップテーブル装置50内の色変換パレット制御回路51に入力された表示データは、1画素単位でLUTメモリ51aに導かれる。

【0007】LUTメモリ51aは、この1画素単位で導かれる表示データ (8ビット表示データ) をアドレスとしてアクセスされる。これにより、LUTメモリ51aから、そのアドレス位置に登録されているパレットデ

4

ータ (階調データ) が1画素単位で変換出力される。このように、VRAM4から読み出される (VRAM4に格納される) 表示データは、実際に表示する画素の色の階調データのLUTメモリ51a内格納位置を示すことから、インデックス情報 (カラーインデックス) と呼ばれる。

【0008】色変換パレット制御回路51 (内のLUTメモリ51a) から変換出力されるR, G, B各8ビットの階調データ11a、即ち実際に表示する画素の色の階調データ11aは、表示コントローラ2から出力される当該画素の座標情報 (X, Y座標) 11dと共に、ディザ変換回路53に入力される。

【0009】また、色変換パレット制御回路51 (パレット制御) を使用しないフルカラー表示を前提とする表示制御部の場合には、(8ビットのインデックス情報ではなくて) R, G, B各8ビットの階調データを1画面分格納するVRAM4が用いられ、当該VRAM4から読み出されるR, G, B各8ビットの階調データ11bが直接ディザ変換回路53に入力される構成が適用される。

【0010】ディザ変換回路53は、このR, G, B各8ビットの階調データ及びX, Y座標値をもとに、例えば 4×4 Baye τ 型パターンを用いた周知のディザ変換 (ディザ階調制御) を行う。このディザ変換回路53の構成を、R, G, Bのうちのいずれか1つを対象とする回路部分について、入力階調データが8ビット、出力ディザ階調データが4ビット (即ち、表示器で表現可能な階調ビット数が4ビット) の場合を例に、図12に示す。

【0011】図12の構成において、(図11中の階調データ11aまたは11bに一致する) 入力8ビット階調データ12aの画素の (図11中のX, Y座標値11dに一致する) X, Y座標値12cは、しきい値生成回路53aに入力される。しきい値生成回路53aは、表示する画素のX, Y座標値12cをもとに、 4×4 Baye τ 型パターンのしきい値を生成する。ここで、 4×4 Baye τ 型パターンのしきい値について、図13を参照して説明する。

【0012】図13において、 4×4 の各マスの中の値が、その位置に対応する画素の各階調のデータの下位4ビットに対するしきい値を示す。なお、図中の $0 \times *$ (*は0~9, a~fのいずれか) は、*が16進数で表現されていることを示す。

【0013】しきい値生成回路53cは、表示する画素のX, Y座標値12cをもとに、図13の 4×4 Baye τ 型パターンに従って、対応する4ビットのしきい値を生成する。この 4×4 Baye τ 型パターンは、画面の左上端を起点として、縦横 4×4 画素の領域を単位に繰り返し適用される。これは、 4×4 Baye τ 型パターンが左上端を起点として全画面に繰り返されて敷き詰

(4)

特開平9-50262

6

5.

められて使用されるのと等価である。

【0014】実際には、X、Y座標の各X、Yの値をそれぞれ4で割った余り、即ち $X \bmod 4$ 、 $Y \bmod 4$ と、図13に示す 4×4 Bayer型パターンとから、画面上の任意のX、Y座標の画素のしきい値(4ビット)が決定される。明らかのように、 $X \bmod 4$ 、 $Y \bmod 4$ は、任意のX、Y座標の画素の 4×4 Bayer型パターン内の相対位置を示す。例えば、 $(X, Y) = (345, 678)$ の場合には、 $X \bmod 4 = 1$ 、 $Y \bmod 4 = 2$ であることから、しきい値生成回路53aで生成されるしきい値は、 4×4 Bayer型パターンの第1列第2行のマスのしきい値“0xb”となる。

【0015】入力8ビット階調データ12aの下位4ビット[3:0]は、しきい値生成回路53aで生成された4ビットしきい値と、比較器53bで比較される。比較器53bは、この比較結果をもとに、マルチブレクサ mux 53cを制御するコントロール信号を出力する。

【0016】これにより、入力8ビット階調データ12aの下位4ビット[3:0]の値が、しきい値生成回路53aからのしきい値を越えた場合には、当該入力8ビット階調データ12aの下位4ビット[3:0]を除く上位ビット、即ち上位4ビット[7:4]に、4ビットアダ-53dにより1が加えられた4ビット値が、マルチブレクサ53cにより、ディザ変換後の4ビット階調データ(出力4ビットディザ階調データ)12dとして選択出力される。

【0017】これに対し、入力8ビット階調データ12aの下位4ビット[3:0]の値が、しきい値生成回路53aからのしきい値を越えていない場合には、入力8ビット階調データ12aの上位4ビット[7:4]が、そのままディザ変換後の4ビット階調データ12dとして、マルチブレクサ mux 53cにより出力される。なお、入力8ビット階調データ12aの上位4ビット[7:4]が全て“1”的場合には、比較器53bの比較結果に無関係に、当該4ビットが、そのままディザ変換後の4ビット階調データ12dとして出力される。

【0018】このようにして、ディザ変換回路53(内のマルチブレクサ53c)から出力されるR、G、B毎の4ビットディザ階調データ(12d)は、出力ラッピングを介してLCDディスプレイ等のデジタル入力表示器に送られ、画面表示される。

【0019】以上は、入力階調データが8ビット、表示器の表現可能階調ビット数が4ビットの例の場合であるが、一般的なディザ階調制御は、入力階調データをNビット、表示器の表現可能階調ビット数をMビットとする。次のようになる。

【0020】まず、Nビットの入力階調データのうち、下位(N-M)ビットが、そのX、Y座標で決まる(N-M)ビットのしきい値と等しいか小さい場合には、そ

の入力階調データの上位Mビットをそのまま、入力階調データの下位(N-M)ビットが上記しきい値より大きい場合には、入力階調データの上位Mビットが全て“1”的場合を除き、当該上位Mビットに1を加えたMビット値を、表示器に出力するMビット階調データとしていた。

【0021】この他、次のような階調制御も行われていた。即ち、Nビットの入力階調データの下位(N-M)ビットが上記しきい値と等しいか大きい場合には、その入力階調データの上位Mビットをそのまま、入力階調データの下位(N-M)ビットが上記しきい値より小さい場合には、入力階調データの上位Mビットが全て“0”的場合を除き、当該上位Mビットから1を減じたMビット値を、表示器に出力するMビット階調データとしていた。

【0022】

【発明が解決しようとする課題】上記したように、Bayer型パターン等を用いた従来のディザ階調制御では、最上位(または最下位)の階調は、それ以上インクリメント(またはデクリメント)することができます、階調を分割することができない。

【0023】そこで従来は、単純に最下位の階調乃至最上位から2番目の階調までの各階調(または最上位の階調乃至最下位から2番目の階調までの各階調)をそれぞれ分割した疑似階調を、それぞれの実際のイメージの階調に割り当てていた。

【0024】しかし、このようなディザ階調制御では、ディザでは分割することができない階調が生じて、階調表示の直線性が失われる等の問題があった。この問題について、図13の 4×4 Bayer型パターンを利用した、図12の構成のディザ変換回路での階調制御の例について説明する。

【0025】まず、 4×4 Bayer型パターンを用いたディザ階調制御の例では、図14に示すように、ディザによる階調制御前の階調0乃至階調14までの各階調(表示器の表現可能な各階調)は、疑似的に $4 \times 4 = 16$ 階調に分割される。しかし、最上位の階調15は、それ以上明度を強くすることができないため、それ以上分割することができなかつた。

【0026】この場合、8ビット(256階調)の入力階調データは、ディザ階調変換後に、疑似的に $15 \times 16 + 1 = 241$ 階調となる。

【0027】つまり、階調制御前の階調0乃至階調14までは、直線的に階調(疑似階調)0から階調(疑似階調)239への階調変換が行われているが、階調制御前の階調15は、階調を分割することができず、階調変換後に(その画素位置に無関係に)全て必ず階調(疑似階調)240になってしまい、最上位の15階調分(階調241乃至階調255)が切り捨てられて、ディザ法に

(5)

特開平9-50262

7 よる階調制御後の階調が非直線性を持つことになってしまふ。

【0028】本発明は上記事情を考慮してなされたものでその目的は、ディザ法を用いた階調制御において、実際のイメージの階調とディザ法による疑似階調との差を少なくすることのできるディザ法を適用した多階調制御装置及び方法を提供することにある。

【0029】本発明の他の目的は、色変換パレット制御回路やディザ変換回路等のハードウェア構成を持たない情報処理機器の表示制御部であっても、ディザ法による多階調制御を実現しながら、ディザ法による疑似階調と実際のイメージの階調との差を少なくすることができるディザ法を適用した多階調制御方法を提供することにある。

【0030】本発明の更に他の目的は、ディザ変換回路を含む標準的な情報処理機器の表示制御部のハードウェア構成を一切変更することなく、ディザ法による疑似階調と実際のイメージの階調との差を少なくすることができるディザ法を適用した多階調制御方法を提供することにある。

【0031】

【課題を解決するための手段】本発明は、組織ディザ法による多階調制御が施されたMビットのディザ階調データを用いてデジタル入力表示器への表示制御を行うディザ法を適用した多階調制御装置において、次式

outputN=floor (inputN×A/B + 0.5)

但しfloor (x) : 実数 x を越えない最大の整数を出力する関数

inputN : 入力Nビットデータ (整数型)

outputN : 出力Nビットデータ (整数型)

A : ディザ法で表現可能な階調数

B : 論理的に表現可能な階調数 (2^N)

で定義される入出力関係を持ち、組織ディザ法を適用した多階調制御の対象となるNビット階調データを入力Nビットデータとして、上記入出力関係に従う出力Nビットデータを出力するための直線階調変換手段と、この直線階調変換手段により出力されるNビットデータに対して組織ディザ法による多階調制御を施してデジタル入力表示器への表示に用いられるMビット ($M < N$) ディザ階調データを出力するディザ変換手段とを備えたことを特徴とするものである。

【0032】このような構成においては、ディザ法を適用した多階調制御の対象となるNビット階調データに対して、上記式で示される入出力関係を持つテーブル、或いはデコーダ等で構成される直線階調変換手段により、Nビット→Nビット直線階調変換が施され、0~(B-1) 階調が0~(A-1) 階調に直線的に圧縮される。したがって、この圧縮後のNビット階調データに対して、ディザ変換手段により組織ディザ法による多階調制

御を施してMビット ($M < N$) ディザ階調データを出力することで、ディザ法による疑似階調と実際のイメージの階調との差を極力少なくすることが可能となる。

【0033】なお、上記の直線変換手段とディザ変換手段とを、例えばテーブル等により構成される1つの直線ディザ階調変換手段にまとめ、組織ディザ法を適用した多階調制御の対象となるNビット階調データを入力Nビットデータとして入力し、次式

outputN=floor (inputN×A/B + 0.5)

但しfloor (x) : 実数 x を越えない最大の整数を出力する関数

inputN : 入力Nビットデータ (整数型)

outputN : 出力Nビットデータ (整数型)

A : ディザ法で表現可能な階調数

B : 論理的に表現可能な階調数 (2^N)

で定義される出力Nビットデータに対して、組織ディザ法による多階調制御が施されたMビット ($M < N$) ディザ階調データを変換出力する構成とすることも可能である。

【0034】また本発明は、1画面分の表示イメージが格納されるフレームメモリを備え、このフレームメモリから表示イメージを読み出してデジタル入力表示器に出力することで画面表示を行う情報処理機器の表示制御部において、表示すべき画面のNビット階調データの値により、次式

$O=floor (1×A/B + 0.5)$

但しfloor (x) : 実数 x を越えない最大の整数を出力する関数

30 I : 入力Nビットデータ (整数型)

O : 出力Nビットデータ (整数型)

A : ディザ法で表現可能な階調数

B : 論理的に表現可能な階調数 (2^N)

で示されるNビット階調データのを生成し、この生成したNビット階調データOに対して組織ディザ法による多階調制御を施してMビット ($M < N$) ディザ階調データを生成し、当該Mビットディザ階調データを上記フレームメモリの対応する画素位置に格納するようにしたことを特徴とする。

40 【0035】このような構成においては、色変換パレット制御回路やディザ変換回路等のハードウェア構成を持たない情報処理機器の表示制御部であっても、直線階調変換されたディザ階調データをフレームメモリに書き込むことにより、ディザ法による多階調制御を実現しながら、ディザ法による疑似階調と実際のイメージの階調との差を少なくすることが可能となる。

【0036】また本発明は、インデックス情報により構成される1画面分の表示イメージが格納されるフレームメモリと、このフレームメモリから読み出されるインデックス情報の指定に応じて、対応位置に登録されている

50 ックス情報の指定に応じて、対応位置に登録されている

(6)

特開平9-50262

9

階調データが読み出されるルックアップテーブルメモリと、このルックアップテーブルメモリから読み出される階調データに対して組織ディザ法による多階調制御を施してディザ階調データを生成するディザ変換回路とを備えた、ディザ法による多階調制御を行う標準的な情報処理機器の表示制御部において、ルックアップテーブルへのNビットの多階調データ設定に際して、設定の対象となるNビットの階調データを入力Nビットデータとして、次式

$$\text{output}_N = \text{floor}(\text{input}_N \times A / B + 10 \quad 10 \\ 0.5)$$

但し $\text{floor}(x)$: 実数 x を越えない最大の整数を出力する関数

input_N : 入力Nビットデータ (整数型)
 output_N : 出力Nビットデータ (整数型)

A : ディザ法で表現可能な階調数

B : 論理的に表現可能な階調数 (2^N)

に従う入出力関係を持つ出力Nビットデータを生成し、この生成した出力Nビットデータを上記入力Nビットデータの代わりにルックアップテーブルメモリに設定するようにしたことを特徴とする。

【0037】このような構成においては、パレットの階調を設定する際にソフトウェア処理により直線階調変換が行われるので、ディザ変換回路を含む標準的な情報処理機器の表示制御部のハードウェア構成を一切変更する必要がない。

【0038】

【発明の実施の形態】以下、本発明の実施形態につき図面を参照して説明する。図1は本発明の一実施形態に係るディザ階調制御を適用した情報処理機器の表示制御部 (多階調表示制御部) の構成を示すブロック図である。なお、図1と同一部分には同一符号を付して詳細な説明を省略する。

【0039】同図において、1は情報処理機器の制御中枢となるCPU、2はLCDディスプレイ等のデジタル入力表示器 (図示せず) に対する表示制御を司る表示コントローラ、3はCPU1及び表示コントローラ2等が接続されるローカルバスである。4はCPU1等からローカルバス3を介して送られる1画面分の表示データ (例えば8ビットのインデックス情報、またはR、G、B各8ビットからなる24ビット構成のフルカラー表示データ) が格納されるVRAM (フレームメモリ)、5はルックアップテーブル装置である。

【0040】ルックアップテーブル装置5は、表示コントローラ2の制御によりVRAM4から所定画素単位で読み出される表示データを入力して、1画素単位で色変換パレット制御を行い、R、G、B各8ビットからなる24ビット構成のパレットデータ (色輝度情報) を出力する (各画素の表示データが8ビットのインデックス情報の場合) 色変換パレット制御回路51、直線階調変換

テーブル52、ディザ変換回路53及び出力ラッチ54とを備えている。

【0041】色変換パレット制御回路51は、8ビットのインデックス情報をアドレスとしてアクセスされる256ワード (1ワード24ビット) のLUTメモリ (ルックアップテーブルメモリ) 51aを有している。このLUTメモリ51aの各アドレスには、図2に示すように、R、G、B各8ビットからなる24ビット構成のパレットデータ (色輝度情報) が登録されている。このLUTメモリ51aの内容は、CPU1により表示コントローラ2を介して書き換えることが可能である。

【0042】直線階調変換テーブル52は、色変換パレット制御回路51 (内のLUTメモリ51a) から変換出力される24ビットのパレットデータ (色輝度情報) のR、G、B各8ビット (各画素の表示データが8ビットのインデックス情報の場合) をそれぞれ (値の範囲が0~255の) 入力8ビット階調データ1aとして、あるいはVRAM4から読み出される24ビットのフルカラー表示データ (色輝度情報) のR、G、B各8ビット (各画素の表示データがパレットを使用しない24ビットのフルカラー表示データの場合) をそれぞれ (値の範囲が0~255の) 入力8ビット階調データ1bとして、当該階調データ1aまたは1bが0~240の範囲の階調に圧縮・変換された (以下、直線階調変換と称する) 出力8ビット階調データ1cを出力するものである。

【0043】ここで、入力8ビット階調データ1aまたは1bを入力8ビットデータ "input_N" (整数型)、出力8ビット階調データ1cを出力8ビットデータ "output_N" (整数型)、 $\text{floor}(x)$ を実数 x を越えない最大の整数を出力する関数、Aをディザ法で表現可能な階調数 (ここでは、図1-1と同様に階調0~階調240の241)、Bを "input_N" に8より論理的に表現可能な階調数 ("input_N" が8ビットの例では、 $2^8 = 256$ 階調) とすると、直線階調変換テーブル52は、次式

$$\text{output}_N = \text{floor}(\text{input}_N \times A / B + 0.5)$$

で定義される入出力関係を持つ。この直線階調変換テーブル52は、入力8ビット階調データ1aまたは1b ("input_N") の指定するアドレスに、上記式に従う出力8ビット階調データ1c ("output_N") が登録されたRAMまたはROMにより実現される。また、直線階調変換テーブル52に代えて、上記式で定義される入出力関係を持つデコーダを用いることも可能である。

【0044】ディザ変換回路53は、直線階調変換テーブル52からのR、G、Bそれぞれについての出力8ビット階調データ1c及び表示コントローラ2からのX、Y座標値1dをもとに、例えば4×4 Baye型バーチンを用いた周知のディザ変換 (ディザ階調制御) を行

50

(7)

特開平9-50262

12

い、R, G, Bそれぞれについて4ビットの出力ディザ階調データを出力する。このディザ変換回路53の構成を、R, G, Bのうちのいずれか1つを対象とする回路を、R, G, Bのうちのいずれか1つを対象とする回路について、直線階調変換テーブル52と関連させて図3に示す。

【0045】図3の構成において、(図1中の8ビット直線階調変換テーブル52により8ビット→8ビットの直線階調変換を施されて、(図1の8ビット階調データ1aまたは1bに一致する)入力8ビット階調データ3aは、前記式で定義される入出力関係を持つ直線階調変換テーブル52により8ビット→8ビットの直線階調変換後8ビットデータ3bとして出力される。即ち、Bayer型パターンを用いたディザ法では、正しく表現されていなかった241~255階調を表現するために、0~255階調を0~2405階調に圧縮する変換が直線階調変換テーブル52により施される。この直線階調変換テーブル52の入出力関係の具体例を図4及び図5に示す。

【0046】直線階調変換後の8ビットデータ3bは、表示コントローラ2から与えられる(図1中のX, Y座標値1dに一致する)X, Y座標値3cと共にディザ変換回路53に入力される。

【0047】ディザ変換回路53内のしきい値生成回路53cは、直線階調変換後の8ビットデータ3bの画素のX, Y座標値3cをもとに、図13に示した4×4Bayer型パターンのしきい値(4ビット)を生成する。

【0048】しきい値生成回路53aで生成された4ビットしきい値は、直線階調変換後の8ビットデータ3bの下位4ビット[3:0]と共に、比較器53bに入力され、その大小が比較される。比較器53bは、この比較結果をもとに、マルチプレクサ(mux)53cを制御するコントロール信号を出力する。

【0049】これにより、直線階調変換後の8ビットデータ3bの下位4ビット[3:0]の値が、しきい値生成回路53aからの4ビットしきい値を越えた場合には、当該8ビットデータ3bの下位4ビット[3:0]を除く上位ビット、即ち上位4ビット[7:4]に、4ビットアダーフレクサ53dにより1が加えられた4ビット値が、マルチプレクサ53cにより、ディザ変換後の4ビット階調データ(出力4ビットディザ階調データ)3dとして選択出力される。

【0050】これに対し、直線階調変換後の8ビットデータ3bの下位4ビット[3:0]の値が、しきい値生成回路53aからの4ビットしきい値を越えていない場合には、当該8ビットデータ3bの上位4ビット[7:4]が、そのままディザ変換後の4ビット階調データ3dとして、マルチプレクサ(mux)53cにより出力される。なお、直線階調変換後の8ビットデータ3bの上位4ビット[7:4]が全て“1”的場合には、比較器53bの比較結果に無関係に、当該4ビットが、その

ままディザ変換後の4ビット階調データ3dとして出力される。

【0051】このようにして、ディザ変換回路53(内のマルチプレクサ53c)から出力される4ビット階調データ(3d)は、当該ディザ変換回路53に入力された8ビットデータ3bが、直線階調変換テーブル52による直線階調変換を受けていることから、4×4Bayer型パターンによるディザ階調制御後でも、図6に示すように、階調の直線性が保たれる。

【0052】ディザ変換回路53(内のマルチプレクサ53c)から出力されるR, G, B毎の4ビット階調データ(3d)は、出力ラッピング54を介してLCDディスプレイ等のデジタル入力表示器に送られ、画面表示される。

【0053】以上は、直線階調変換テーブル52とディザ変換回路53とを、それぞれ独立のハードウェアで構成した場合について説明したが、直線階調変換テーブル52内にディザ変換回路53の出力値も取り込んでまとめて、1つの直線ディザ階調変換回路、例えば図7に示す直線ディザ階調変換テーブル70により実現することも可能である。このテーブル70は、前記実施形態において表示する画素の(図3中の)8ビット階調データ3aと、その画素の(図3中の)X, Y座標値3cと共に入力とした場合の、出力4ビット(出力4ビットディザ階調データ)3dとの関係を、テーブルで構成したものである。

【0054】この他、本発明は、色変換パレット制御回路やディザ変換回路等を持たない情報処理機器の表示制御部にも適用可能である。このような表示制御部の構成を図8に示す。なお、図1と同一部分には同一符号を付して詳細な説明を省略する。この図8の構成においては、CPU1は、グラフィックス・ドライバ(ソフトウェア)により、イメージに対して予めディザ変換を行い、そのディザ変換を行ったイメージを表示コントローラ2を介してVRAM4に書き込む必要がある。したがって図8中のCPU1は、この点で図1中のCPU1とは異なるが、便宜上同一符号を付してある。

【0055】VRAM4に書き込まれたディザ変換後のイメージは、表示コントローラ2の制御により当該VRAM4から読み出されて出力ラッピング54にラッピングされ、LCDディスプレイ等のデジタル入力表示器に送られて、画面表示される。

【0056】次に、図8の構成におけるCPU1の動作について、R, G, Bの各8ビット階調データに対して直線階調変換後階調データに対するディザ変換を施す場合を例に、図9のフローチャートを参照して説明する。但し、便宜上、R, G, Bのうちのいずれか1つについて述べることにする。

【0057】まずCPU1は、表示する画素の8ビット

(8)

13

階調データ1及び当該画素のX, Y座標値を入力する(ステップS1)。次にCPU1は、入力した階調データ1の値により直線階調変換のための条件分岐を行う(ステップS2)。

【0058】CPU1は、階調データ1の値により、直線階調変換後の8ビット階調データ0に、次式で示される値を代入する(図3中の直線階調変換テーブル52での直線階調変換に相当する)動作を行う(ステップS3)。

【0059】

 $O = \text{floor}(1 \times 241 / 256 + 0.5)$ 但し $\text{floor}(x)$: 実数xを越えない最大の整数を出力する関数

この式で示される、階調データ1と階調データ0との関係は、前記実施形態における直線階調変換テーブル52の入出力関係と同様である。

【0060】CPU1は、階調データ1の値から、直線階調変換後の8ビット階調データ0を生成すると、表示する画素のX, Y座標値をもとに、4×4 Bayer型バターンのテーブルに入力する値を決定するためのステップS4を実行する。このステップS4において、CPU1は、 $x \bmod 4$ に、X座標の値を4で割った余り($X \bmod 4$)を代入すると共に、 $y \bmod 4$ に、Y座標の値を4で割った余り($Y \bmod 4$)を代入する。

【0061】次にCPU1は、ステップS4で求めた $x \bmod 4$, $y \bmod 4$ の値をもとに、図13に示した4×4 Bayer型バターンに従う4ビットしきい値 h |を決定する(図3中のしきい値生成回路53aに相当する)動作を行う(ステップS5, S6)。

【0062】次にCPU1は、ステップS3で求めた直線階調変換後の8ビット階調データ0の下位4ビット[3:0]と、ステップS5で求めた4ビットしきい値 h |とを比較する(図3中の比較器53bに相当する)動作を行う(ステップS7)。

【0063】次にCPU1は、 $O[3:0]$ と h |の大小関係により、4ビットのディザ階調データDに値を代入する。即ちCPU1は、 $O[3:0] > h$ であるならば、 $D = O[3:0] + 1$ を代入し(ステップS8)、 $O[3:0] \leq h$ であるならば、 $D = O[3:0]$ を代入する(図3中の4ビットアダーレジスタ53d及びマスクブレクサ53cに相当する)動作を行う(ステップS9)。

【0064】このようにして求められた4ビットのディザ階調データDは、ローカルバス3を介して表示コントローラ2に転送され、X, Y座標値に対応するVRAM4の領域に書き込まれる。

【0065】以上は、色変換パレット制御回路やディザ変換回路等を持たない情報処理機器の表示制御部に本発明を適用した場合について説明したが、本発明は、色変換パレット制御回路及びディザ変換回路を持った表示制

特開平9-50262

14

御部のハードウェア構成を一切変更することなく、従来と同様のハードウェア構成のままで、直線階調変換によるディザ階調制御を実現することも可能である。

【0066】このような表示制御部の構成を図10に示す。この図10の表示制御部は、図11に示した従来の情報処理機器の表示制御部と同一のハードウェア構成を有している。この図10の構成における特徴は、CPU1から表示コントローラ2を介して色変換パレット制御回路51内のLUTメモリ51aに設定されるパレットデータに、直線階調変換を施してあることである。

【0067】即ち、図10の構成において、CPU1は、パレットデータを構成するR, G, B各Nビット(ここではN=8)の階調データとして、次の式

$$\text{output}_N = \text{floor}(\text{input}_N \times A / B + 0.5)$$

但し $\text{floor}(x)$: 実数xを越えない最大の整数を出力する関数 input_N : 入力Nビット(N=8)データ(整数型) output_N : 出力Nビット(N=8)データ(整数型)

A : ディザ法で表現可能な階調数(ここでは、241階調)

B : 論理的に表現可能な階調数($2^N = 2^8 = 256$ 階調)

を使って、従来であればLUTメモリ51aに設定するNビット階調データ input_N をもとに、グラフィックス・ドライバ(ソフトウェア)により、直線階調変換が施されたNビット階調データ output_N を生成する。そしてCPU1は、この階調データ output_N を階調データ input_N の代わりに、LUTメモリ51aに設定するようしている。

【0068】この図10の構成においては、CPU1がパレットの階調を設定する際にソフトウェア処理により直線階調変換を行うので、ディザ変換回路53を含む従来のルックアップテーブル装置50のハードウェア構成を一切変更する必要がない。

【0069】なお、前記実施形態では、8ビットの階調データに対して8ビット→8ビットの直線階調変換を行い、その直線階調変換後の8ビットデータに対してディザ法による多階調制御を施して4ビットのディザ階調データに変換する場合について説明したが、本発明は、Nビットの階調データに対してNビット→Nビットの直線階調変換を行い、その直線階調変換後のNビットデータに対してディザ法による多階調制御を施してMビット(M<N)のディザ階調データに変換する場合にも、同様に適用できる。また、前記実施形態では、カラーの階調データを扱う場合について説明したが、本発明はモノクロの階調データを扱う場合にも同様に適用できる。

50 【0070】

(9)

15

【発明の効果】以上詳述したように本発明によれば、ディザ法を適用した多階調制御の対象となるNビット階調データに対して、テーブル、或いはデコーダ等で構成される直線階調変換手段により、Nビット→Nビット直線階調変換を施して、0～(B-1)階調(Bは 2^N)を0～(A-1)階調(Aはディザ法で表現可能な階調数)に直線的に圧縮し、この圧縮後のNビット階調データに対して組織ディザ法による多階調制御を施してMビット(M<N)ディザ階調データを出力する構成としたので、ディザ法により分割される各階調を、Mビットで表現される各階調に適切に割り当てられるようになり、ディザ法による疑似階調と実際のイメージの階調との差を極力少なくすることができる。

【0071】また本発明によれば、上記のような直線階調変換後のNビット階調データに対して組織ディザ法による多階調制御が施されたMビットディザ階調データを表示データとしてフレームメモリに書き込んで画面表示に用いるようにすることにより、色変換パレット制御回路やディザ変換回路等のハードウェア構成を持たない情報処理機器の表示制御部であっても、ディザ法による多階調制御を実現しながら、ディザ法による疑似階調と実際のイメージの階調との差を少なくすることができる。

【0072】また本発明によれば、ルックアップテーブルやディザ変換回路を備えた、ディザ法による多階調制御を行なう標準的な情報処理機器の表示制御部において、ルックアップテーブルへのNビットの階調データ設定に際して、設定の対象となるNビットの階調データに代えて、当該Nビット階調データに対するNビット→Nビットの直線階調変換後のNビット階調データを設定することにより、ディザ変換回路を含む標準的な情報処理機器の表示制御部のハードウェア構成を一切変更することなく、ディザ法による疑似階調と実際のイメージの階調との差を少なくすることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るディザ階調制御を適用した情報処理機器の表示制御部(多階調表示制御部)の構成を示すブロック図。

【図2】図1中のLUTメモリ51aのデータ構造を示す図。

【図3】図1中のディザ変換回路53の構成をその前段に置かれる直線階調変換テーブル52と関連させて示す

特開平9-50262

16

図。

【図4】図1中の直線階調変換テーブル52の入出力関係の具体例を示す図。

【図5】図1中の直線階調変換テーブル52の入出力関係の具体例を示す図。

【図6】同実施形態において直線階調変換テーブル52を用いた直線階調変換を行なった場合の4×4 Bayer型パターンによるディザ階調制御における階調の対応を示す図。

10 【図7】図1中の直線階調変換テーブル52とディザ変換回路53とをまとめて、1つの直線ディザ階調変換テーブル40として実現した例を示す図。

【図8】本発明を、色変換パレット制御回路やディザ変換回路等を持たない情報処理機器の表示制御部に適用した場合の実施形態を示すブロック構成図。

【図9】図8の構成におけるCPU1の動作について、R, G, Bの各8ビット階調データに対して直線階調変換を施し、その直線階調変換後の階調データに対して4×4 Bayer型パターンを用いたディザ変換を施す場合を例に説明するためのフローチャート。

【図10】色変換パレット制御回路及びディザ変換回路を持った表示制御部のハードウェア構成を変更することなく、直線階調変換によるディザ階調制御を実現するための実施形態を示すブロック構成図。

【図11】ディザ階調制御を適用した一般的な情報処理機器の表示制御部(多階調表示制御部)のブロック構成図。

【図12】図11中のディザ変換回路53の構成を示す図。

30 【図13】4×4 Bayer型パターン例を示す図。

【図14】従来の4×4 Bayer型パターンによるディザ階調制御における階調の対応を示す図。

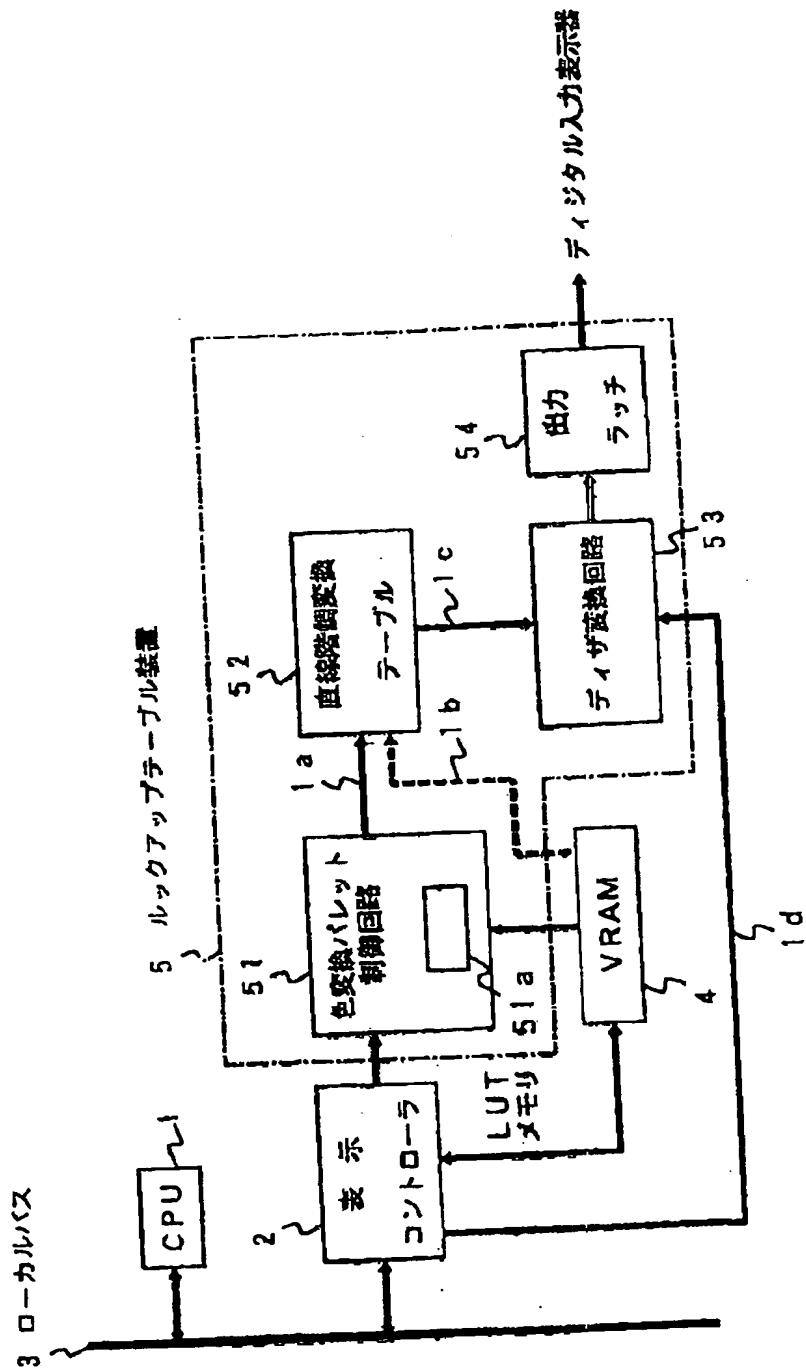
【符号の説明】

1…CPU、2…表示コントローラ、3…ローカルバス、4…VRAM(フレームメモリ)、5, 50…ルックアップテーブル装置、41…色変換パレット制御回路、51a…LUTメモリ、52…直線階調変換テーブル(直線階調変換手段)、53…ディザ変換回路、53a…しきい値生成回路、53b…比較器、53c…マルチブレクサ(mux)、53d…4ビットアダマー、54…出力ラッチ。

(10)

特開平9-50262

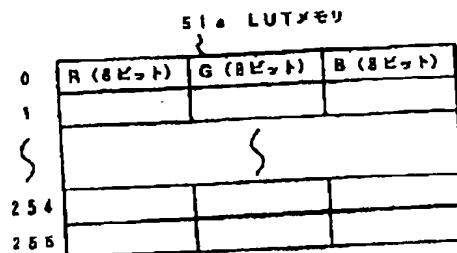
[図1]



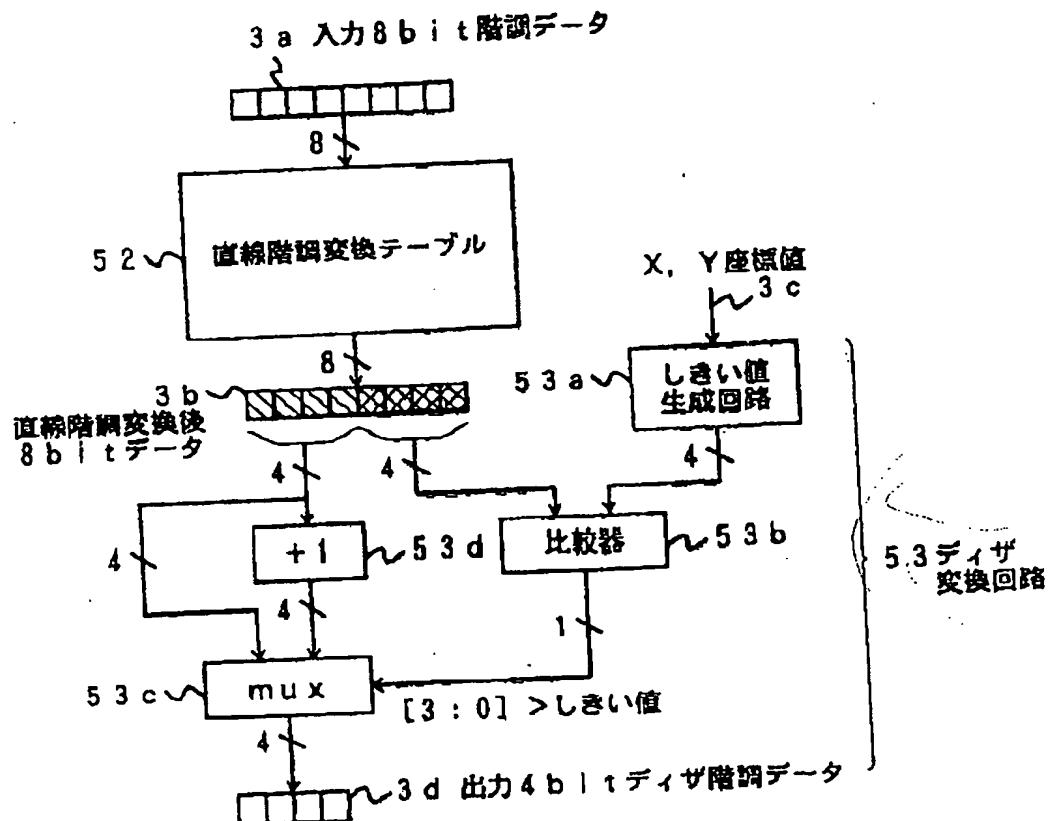
特開平9-50262

(11)

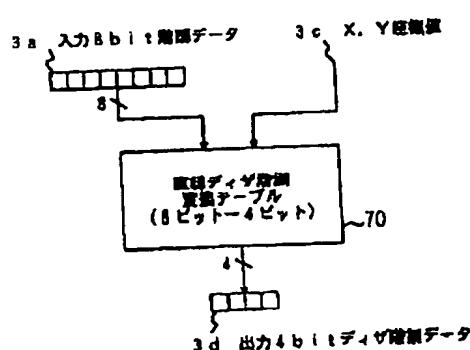
【図2】



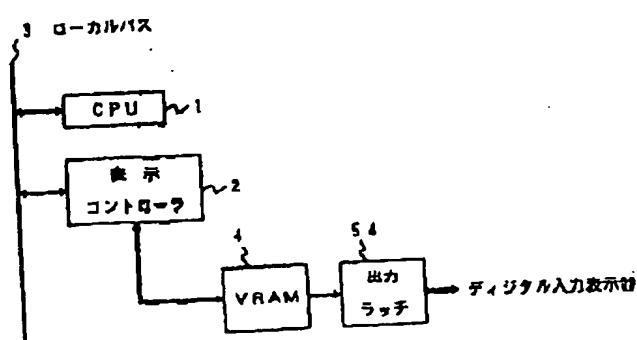
【図3】



【図7】



【図8】



特開平9-50262

(12)

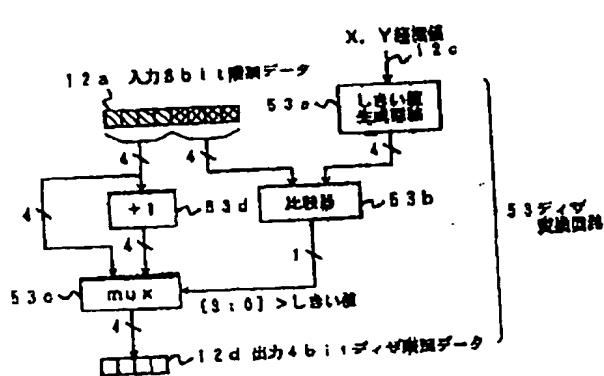
【図4】

入力データ (8ビット)	出力データ (8ビット)								
0	0	25	25	48	48	78	73	104	99
1	1	26	26	49	49	79	74	105	100
2	2	27	27	50	50	80	75	106	101
3	3	28	28	51	51	81	76	107	102
4	4	29	29	52	52	82	77	108	103
5	5	30	30	53	53	83	78	109	104
6	6	31	31	54	54	84	79	110	105
7	7	32	32	55	55	85	80	111	106
8	8	33	33	56	56	86	81	112	107
9	9	34	34	57	57	87	82	113	108
10	10	35	35	58	58	88	83	114	109
11	11	36	36	59	59	89	84	115	110
12	12	37	37	60	60	90	85	116	111
13	13	38	38	61	61	91	86	117	112
14	14	39	39	62	62	92	87	118	113
15	15	40	40	63	63	93	88	119	114
16	16	41	41	64	64	94	89	120	115
17	17	42	42	65	65	95	90	121	116
18	18	43	43	66	66	96	91	122	117
19	19	44	44	67	67	97	92	123	118
20	20	45	45	68	68	98	93	124	119
21	21	46	46	69	69	99	94	125	120
22	22	47	47	70	70	100	95	126	121
23	23	48	48	71	71	101	96		

【図5】

入力データ (8ビット)	出力データ (8ビット)								
130	192	156	147	182	171	208	195	234	229
131	193	157	148	183	172	209	196	235	231
132	194	158	149	184	173	210	197	236	232
133	195	159	150	185	174	211	198	237	233
134	196	160	151	186	175	212	199	238	234
135	197	161	152	187	176	213	200	239	235
136	198	162	153	188	177	214	201	240	241
137	199	163	154	189	178	215	202	241	242
138	200	164	155	190	179	216	203	242	243
139	201	165	156	191	180	217	204	243	244
140	202	166	157	192	181	218	205	244	245
141	203	167	158	193	182	219	206	245	246
142	204	168	159	194	183	220	207	246	247
143	205	169	160	195	184	221	208	247	248
144	206	170	161	196	185	222	209	248	249
145	207	171	162	197	186	223	210	249	250
146	208	172	163	198	187	224	211	250	251
147	209	173	164	199	188	225	212	251	252
148	210	174	165	200	189	226	213	252	253
149	211	175	166	201	190	227	214	253	254
150	212	176	167	202	191	228	215	254	255
151	213	177	168	203	192	229	216	255	256
152	214	178	169	204	193	230	217	256	257
153	215	179	170	205	194	231	218	257	258
154	216	180	171	206	195	232	219		
155	217	181	172	207	196	233	220		

【図12】



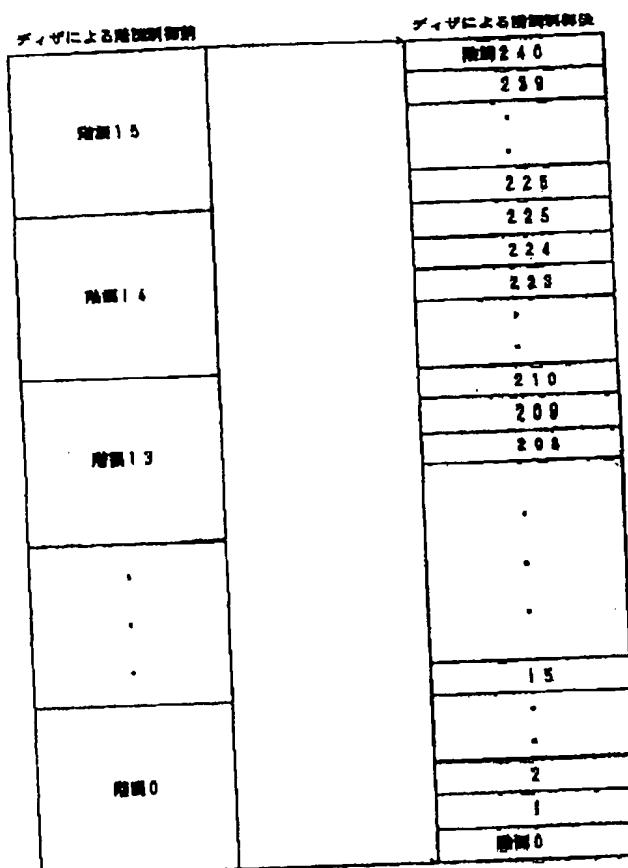
【図13】

	0	1	2	3	X8
0	0x0	0x8	0x2	0x0	
1	0xc	0x4	0xe	0x6	
2	0x3	0xb	0x1	0x9	
3	0xf	0x7	0xd	0x5	

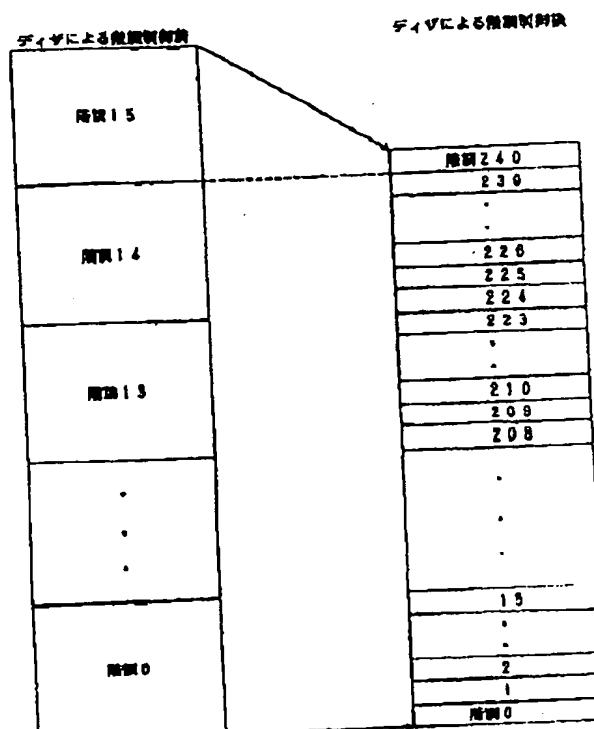
特開平9-50262

(13)

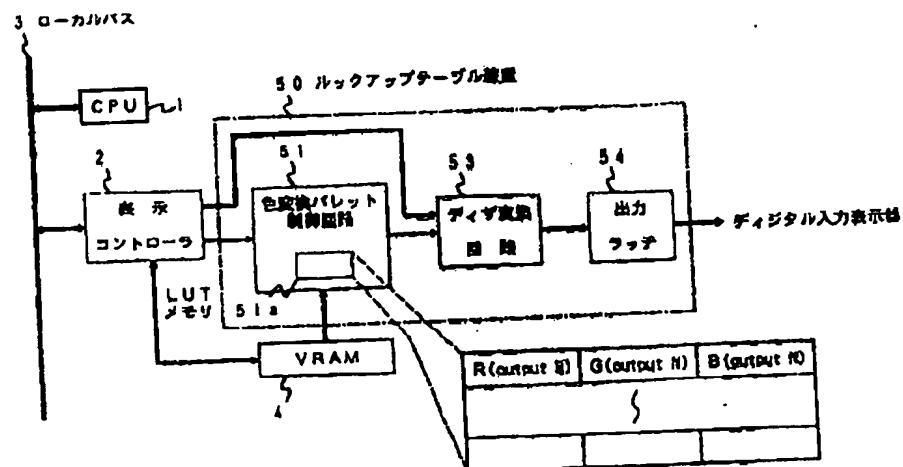
【図6】



【図14】



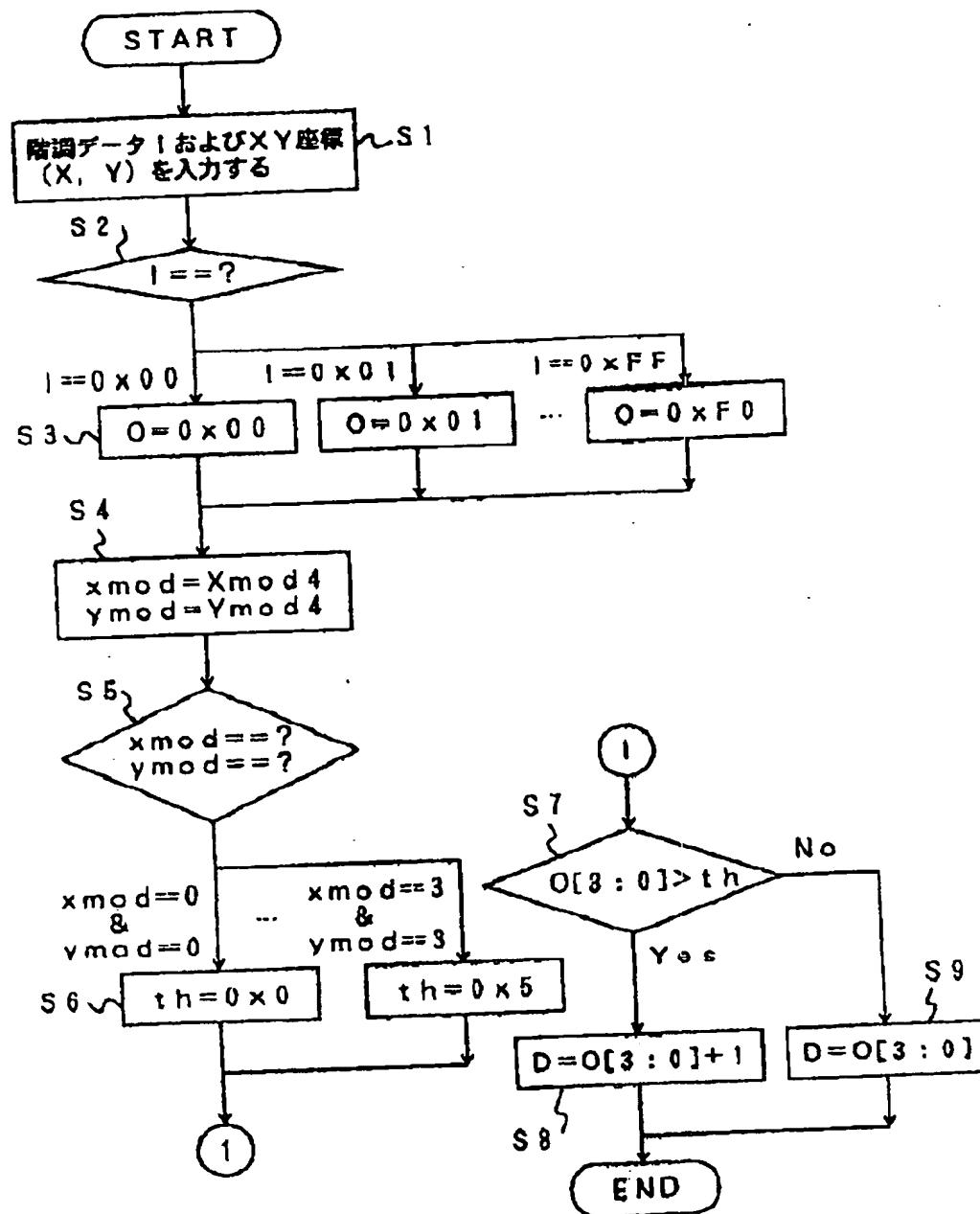
【図10】



特開平9-50262

(14)

【図9】



特開平9-50262

(16)

【図11】

